

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-208821

(43)Date of publication of application : 26.07.2002

(51)Int.Cl.

H03F 1/00  
H03F 3/181  
H04R 3/00

(21)Application number : 2000-403373

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.2000

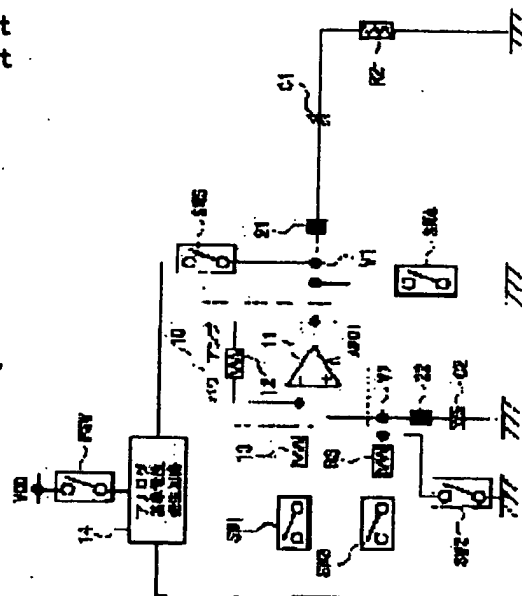
(72)Inventor : YAGI TOSHIHIRO  
KUSHIBE HIDEFUMI

(54) POWER AMPLIFIER START CIRCUIT DEVICE AND METHOD FOR CONTROLLING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power amplifier starting circuit device which suppresses increase in the drive current and can also start a power amplifier output slowly in a small area.

SOLUTION: This power amplifier start circuit device is provided with a 1st switch connected to the negative input of a power amplifier, a capacitor and a 1st resistor connected to the positive input node of the power amplifier, a 2nd switch connected in parallel with the capacitor, a 3rd switch connected between the 1st resistor and an analog reference voltage generation circuit, and a 4th switch connected between the output node of the power amplifier and a ground potential. Control is carried so that the 1st and 3rd switches are turned off in an initial state, the 2nd and 4th switches are also turned on, the power amplifier is turned on next, the 3rd switch is subsequently turned on, and the 2nd and 4th switches are turned off.



## LEGAL STATUS

[Date of request for examination]

25.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3764046

[Date of registration]

27.01.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-208821  
(P2002-208821A)

(49)公開日 平成14年7月26日(2002.7.26)

(51)IntCl'		識別記号	FI		データベース(参考)	
H03F	1/00		H03F	1/00	D	5D020
	3/181			3/181	A	5J092
H04R	3/00	101	H04R	3/00	101Z	

審査請求 未請求 請求項の数 8 OL (全 8 頁)

(21) 出願番号	特願2000-403373(P2000-403373)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成12年12月28日(2000. 12. 28)	(72) 発明者	八木 利弘 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
		(72) 発明者	櫛部 秀文 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
		(74) 代理人	100083806 弁理士 三好 秀和 (外7名)

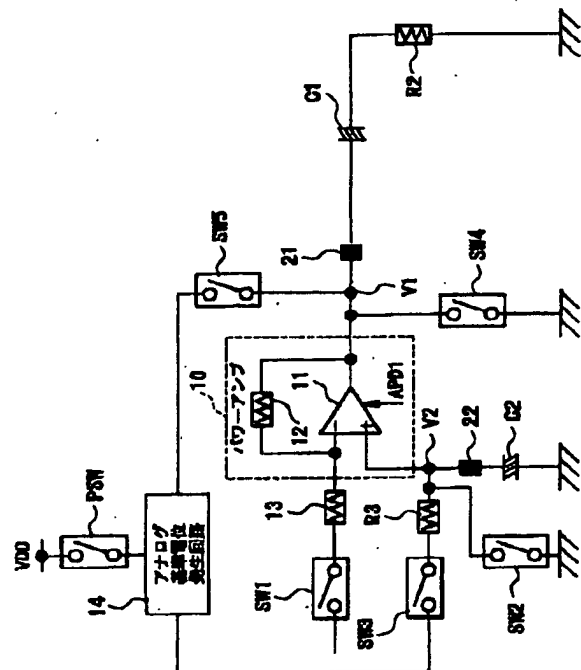
最終頁に続く

(54)【発明の名称】 パワーアンプ立ち上げ回路装置及びその制御方法

(57) 【要約】

【課題】 駆動電流の増加を抑え且つ小面積でパワーアップ出力を緩やかに立ち上げることのできるパワーアップ立ち上げ回路装置を提供する。

【解決手段】 パワーアンプの負入力に接続された第1のスイッチと、前記パワーアンプの正入力ノードに接続されたキャパシタンス及び第1の抵抗と、前記キャパシタンスと並列に接続された第2のスイッチと、前記第1の抵抗とアナログ基準電圧発生回路との間に接続された第3のスイッチと、前記パワーアンプの出力ノードと接地電位との間に接続された第4のスイッチとを備える。初期状態で前記第1と前記第3のスイッチをオフすると共に、前記第2と前記第4のスイッチをオンし、次に前記パワーアンプをオンさせた後、前記第3のスイッチをオンし、前記第2と前記第4のスイッチをオフするように制御する。



## 【特許請求の範囲】

【請求項 1】 パワーアンプの負入力に接続された第 1 のスイッチと、

前記パワーアンプの正入力ノードに接続されたキャパシタンス及び第 1 の抵抗と、

前記キャパシタンスと並列に接続された第 2 のスイッチと、

前記第 1 の抵抗とアナログ基準電圧発生回路との間に接続された第 3 のスイッチと、

前記パワーアンプの出力ノードと接地電位との間に接続された第四のスイッチとを備えたことを特徴とするパワーアンプ立ち上げ回路装置。

【請求項 2】 初期状態で前記第 1 と前記第 3 のスイッチをオフすると共に、前記第 2 と前記第四のスイッチをオンし、次に前記パワーアンプをオンさせた後、前記第 3 のスイッチをオンし、前記第 2 と前記第四のスイッチをオフするように制御する制御手段を備えたことを特徴とする請求項 1 記載のパワーアンプ立ち上げ回路装置。

【請求項 3】 前記パワーアンプの出力ノードと前記基準電圧発生回路との間に第 5 のスイッチを接続し、前記制御手段は、前記パワーアンプをパワーダウンさせる時に前記第 5 のスイッチをオンするように制御することを特徴とする請求項 2 記載のパワーアンプ立ち上げ回路装置。

【請求項 4】 前記第 1 スwitchの前段に入力アンプを接続し、この入力アンプの正入力に前記パワーアンプの正入力を接続したことを特徴とする請求項 1 乃至請求項 3 記載のパワーアンプ立ち上げ回路装置。

【請求項 5】 前記基準電圧発生回路と前記第 5 のスイッチとの間に第 2 の抵抗を接続したことを特徴とする請求項 3 または請求項 4 記載のパワーアンプ立ち上げ回路装置。

【請求項 6】 前記パワーアンプの出力ノードと前記第 4 のスイッチとの間に第 3 の抵抗を接続したことを特徴とする請求項 1 乃至請求項 5 記載のパワーアンプ立ち上げ回路装置。

【請求項 7】 パワーアンプの負入力に接続された第 1 のスイッチと、前記パワーアンプの正入力ノードに接続されたキャパシタンス及び抵抗と、前記キャパシタンスと並列に接続された第 2 のスイッチと、前記抵抗とアナログ基準電圧発生回路との間に接続された第 3 のスイッチと、前記パワーアンプの出力ノードと接地電位との間に接続された第四のスイッチとを備えたパワーアンプ立ち上げ回路装置に対し、

初期状態で前記第 1 と前記第 3 のスイッチをオフすると共に、前記第 2 と前記第四のスイッチをオンし、次に前記パワーアンプをオンさせた後、前記第 3 のスイッチをオンし、前記第 2 と前記第四のスイッチをオフすることを特徴とするパワーアンプ立ち上げ回路装置の制御方法。

【請求項 8】 前記パワーアンプの出力ノードと前記基準電圧発生回路との間に第 5 のスイッチを設けておき、前記パワーアンプをパワーダウンさせる時に前記第 5 のスイッチをオンすることを特徴とする請求項 7 記載のパワーアンプ立ち上げ回路装置の制御方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、オーディオ機器等に搭載されるパワーアンプ立ち上げ回路装置及びその制御方法に関する。

【0002】

【従来の技術】従来、パワーアンプの出力電位はパワーアンプ立ち上げと同時に急峻なステップ応答を示すため、スピーカを駆動している時など大きなグリッチ音が聞こえる問題があった。

【0003】この問題を回避するために、従来は、図 6 に示すような回路装置が提案されている。

【0004】図 6 は、従来のパワーアンプ立ち上げ回路装置の回路図である。

【0005】このパワーアンプ立ち上げ回路装置は、電源ライン VDD にスイッチ P SW を介して接続されたアナログ基準電位発生回路 14 を有し、このアナログ基準電位発生回路 14 の出力が、パワーアンプ 10 を構成する増幅回路 11 の正入力と、増幅回路 11 1 で構成されるボルテージフォロワアンプ 11 0 に接続されている。

【0006】パワーアンプ 10 は、増幅回路 11 と抵抗 12 とで構成され、増幅回路 11 の出力が抵抗 12 を介して負入力に帰還される。パワーアンプ 10 の負入力には、抵抗 13 を介してスイッチ SW 1 が接続されている。さらに、パワーアンプ 10 の出力は出力端子 21 に接続され、同様にボルテージフォロワアンプ 11 0 も抵抗 R 1 を介して出力端子 21 に接続されている。

【0007】そして、出力端子 21 とグラウンド間には、直流分カット用の容量 C 1 と抵抗 R 2 が外付けで直列接続されている。

【0008】かかる従来のパワーアンプ立ち上げ回路装置の立ち上がり時には、スイッチ P SW がオンし、ボルテージフォロワアンプ 11 0 と抵抗 R 1 と DC カット用の容量 C 1 で、パワーアンプ 10 の出力電位 V 1 を緩やかに立ち上げるようにしている。

【0009】

【発明が解決しようとする課題】しかしながら、上記従来の回路では、低い周波数を通すために DC カット容量 C 1 を大きくすると立ち上がりが遅くなるので、抵抗 R 1 を小さくしボルテージフォロワアンプ 10 に大きな駆動電流を流す能力が必要となる。その結果、ボルテージフォロワアンプ 10 の動作電流が大きくなり、且つボルテージフォロワアンプ 10 の面積が大きくなるという問題があった。

【0010】本発明は、上述の如き従来の問題点を解決

するためになされたもので、その目的は、駆動電流の増加を抑え且つ小面積でパワーアンプ出力を緩やかに立ち上げることのできるパワーアンプ立ち上げ回路装置及びその制御方法を提供するものである。

#### 【0011】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明に係るパワーアンプ立ち上げ回路装置では、パワーアンプの負入力に接続された第1のスイッチと、前記パワーアンプの正入力ノードに接続されたキャパシタンス及び第1の抵抗と、前記キャパシタンスと並列に接続された第2のスイッチと、前記第1の抵抗とアナログ基準電圧発生回路との間に接続された第3のスイッチと、前記パワーアンプの出力ノードと接地電位との間に接続された第4のスイッチとを備えたことを特徴とする。

【0012】請求項2記載の発明に係るパワーアンプ立ち上げ回路装置では、請求項1記載のパワーアンプ立ち上げ回路装置において、初期状態で前記第1と前記第3のスイッチをオフすると共に、前記第2と前記第4のスイッチをオンし、次に前記パワーアンプをオンさせた後、前記第3のスイッチをオンし、前記第2と前記第4のスイッチをオフするように制御する制御手段を備えたことを特徴とする。

【0013】請求項3記載の発明に係るパワーアンプ立ち上げ回路装置では、請求項2記載のパワーアンプ立ち上げ回路装置において、前記パワーアンプの出力ノードと前記基準電圧発生回路との間に第5のスイッチを接続し、前記制御手段は、前記パワーアンプをパワーダウンスさせる時に前記第5のスイッチをオンするように制御することを特徴とする。

【0014】請求項4記載の発明に係るパワーアンプ立ち上げ回路装置では、請求項1乃至請求項3記載のパワーアンプ立ち上げ回路装置において、前記第1スイッチの前段に入力アンプを接続し、この入力アンプの正入力に前記パワーアンプの正入力を接続したことを特徴とする。

【0015】請求項5記載の発明に係るパワーアンプ立ち上げ回路装置では、請求項3または請求項4記載のパワーアンプ立ち上げ回路装置において、前記基準電圧発生回路と前記第5のスイッチとの間に第2の抵抗を接続したことを特徴とする。

【0016】請求項6記載の発明に係るパワーアンプ立ち上げ回路装置では、請求項1乃至請求項5記載のパワーアンプ立ち上げ回路装置において、前記パワーアンプの出力ノードと前記第4のスイッチとの間に第3の抵抗を接続したことを特徴とする。

【0017】請求項7記載の発明に係るパワーアンプ立ち上げ回路装置の制御方法では、パワーアンプの負入力に接続された第1のスイッチと、前記パワーアンプの正入力ノードに接続されたキャパシタンス及び抵抗と、前

記キャパシタンスと並列に接続された第2のスイッチと、前記抵抗とアナログ基準電圧発生回路との間に接続された第3のスイッチと、前記パワーアンプの出力ノードと接地電位との間に接続された第4のスイッチとを備えたパワーアンプ立ち上げ回路装置に対し、初期状態で前記第1と前記第3のスイッチをオフすると共に、前記第2と前記第4のスイッチをオンし、次に前記パワーアンプをオンさせた後、前記第3のスイッチをオンし、前記第2と前記第4のスイッチをオフすることを特徴とする。

【0018】請求項8記載の発明に係るパワーアンプ立ち上げ回路装置の制御方法では、請求項7記載のパワーアンプ立ち上げ回路装置の制御方法において、前記パワーアンプの出力ノードと前記基準電圧発生回路との間に第5のスイッチを設けておき、前記パワーアンプをパワーダウンスさせる時に前記第5のスイッチをオンすることを特徴とする。

#### 【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0020】【第1実施形態】図1は、本発明の第1実施形態に係るパワーアンプ立ち上げ回路装置を示す回路図である。

【0021】このパワーアンプ立ち上げ回路装置は、従来と同様のパワーアンプ10を備えている。すなわち、電源ラインVDDにスイッチPSWを介して接続されたアナログ基準電位発生回路14の出力が、パワーアンプ10を構成する増幅回路11の正入力に接続されている。

【0022】パワーアンプ10は、制御信号APD1でオン/オフが制御される増幅回路11と抵抗12とで構成され、増幅回路11の出力が抵抗12を介して負入力に帰還される。パワーアンプ10の負入力には、抵抗13を介してスイッチSW1が接続されている。さらに、パワーアンプ10の正入力ノードには、抵抗R3が接続されると共に、端子22を介してキャパシタC2が外付け接続されている。

【0023】また、キャパシタC2と並列にスイッチSW2が接続され、抵抗R3とアナログ基準電圧発生回路14との間にはスイッチSW3が接続されている。パワーアンプ10の出力側は、スイッチSW4を介してグランドGNDが接続されると共に、スイッチSW5を介してアナログ基準電位発生回路14の出力側に接続されている。

【0024】そして、出力端子21とグランド間には、直流分カット用の容量C1と抵抗R2が外付けで直列接続されている。

【0025】次に、以上のように構成されるパワーアンプ立ち上げ回路装置の動作について、図2のタイミングチャートを参照して説明する。

10

20

30

40

50

【0026】時刻  $t_1$  以前の初期状態、つまりパワーアンプ10の立ち上がり前では、スイッチSW2、SW4をオンしておく。すなわち、パワーアンプ10の立ち上がり前においてV1ノード及びV2ノードを不定状態にすると、立ち上がり時間が立ち上げの度に変わってしまうので、スイッチSW2、SW4をオンして、初期状態をある固定電圧（この場合GND）にしておくのである。

【0027】スイッチPSWがオンするパワーアンプ10の立ち上げ時（時刻  $t_1$ ）には、APD1信号が“H”レベルとなって増幅回路11がオン状態となり、これと同時にスイッチSW3がオンし、スイッチSW2及びスイッチSW4はオフする。その結果、V2ノードがキャパシタC2と抵抗R3の時定数によりアナログ基準電位  $V_{ef}$  までゆっくりと上昇する。

【0028】パワーアンプ10の出力であるV1ノードは、イマジナルショートでV2ノードと共にゆっくりと0Vからアナログ基準電位  $V_{ef}$  まで立ち上がる。これによって、パワーアンプ出力のクリック雑音を低減することができる。

【0029】その後、一度パワーアンプ10を立ち上げた後、APD1信号を“L”レベルにしてパワーアンプ10をパワーダウンした時には（時刻  $t_2$ ）、スイッチSW5をオンさせることで、V1ノードを基準電位  $V_{ef}$  に固定する。これは、パワーアンプ10をパワーダウンした時にV1ノードの電位が低下し、再び立ち上げるとクリック雑音が発生してしまう。これを回避するため、パワーアンプ10がパワーダウンするのと同時にスイッチSW5をオンして、V1ノードをアナログ基準電圧発生回路14の出力電圧程度に引き上げるのである。これによって、パワーアンプ10をオン/オフしてもV1ノードが変動しないので、クリック雑音が発生しない。さらに、パワーアンプ10を使用しない時には、パワーダウンさせておけば消費電力も少なくできる。

【0030】パワーアンプ10の出力ノードV1の電位を立ち下げるには、スイッチPSWをオフし、APD1信号を“L”レベルにし、さらにスイッチSW1及びスイッチSW3をオフし、スイッチSW5のオフ状態を保持し、スイッチSW2とスイッチSW4をオンさせる。これによって、V2ノードはキャパシタC2と抵抗R3の時定数で立ち上がり、パワーアンプ10の出力であるV1ノードは、スイッチSW4のオン抵抗とキャパシタC1の時定数によってゆっくりと立ち下げることができる。

【0031】このように、本実施形態では、パワーアンプ10の正入力にキャパシタC2と抵抗R3の時定数によって立ち上げた電位を入力することにより、パワーアンプ10の出力の立ち上がりを滑らかにすることができるので、立ち上がり時のクリックノイズを抑えることが可能である。

【0032】〔第2実施形態〕図3は、本発明の第2実施形態に係るパワーアンプ立ち上げ回路装置を示す回路図である。

【0033】本実施形態のパワーアンプ立ち上げ回路装置は、図1の回路において、APD2信号でオン/オフ制御される増幅回路31を有する入力アンプ30がスイッチSW1に接続され、その増幅回路31の正入力にはV2ノードが接続されている。さらに、増幅回路31の出力は抵抗R2を介して負入力に帰還される。そして、増幅回路31の負入力に接続されるV3ノードには、3つ抵抗R4が並列接続され、その各抵抗R4にはキャパシタC3がそれぞれ直列接続されている。

【0034】本実施形態のパワーアンプ立ち上げ回路装置の動作について、図4のタイミングチャートを参照して説明する。

【0035】時刻  $t_1$  以前の初期状態では、スイッチSW1は初期状態でオンしている（スイッチSW1は常時オン）。パワーアンプ10の立ち上がり前（初期状態）では、V1ノード、V2ノード及びV3ノードを不定状態にすると、立ち上がり時間が立ち上げの度に変わってしまうので、スイッチSW2とスイッチSW4をオンして、所定の固定電圧（この場合はグラウンドGND）にしておく。

【0036】パワーアンプ10の立ち上げ時（時刻  $t_1$ ）には、スイッチSW3をオンし、APD1信号及びAPD2信号と共に“H”レベルにし、スイッチSW2とスイッチSW4をオフする。その結果、V2ノードがキャパシタC2と抵抗R3の時定数によりアナログ基準電位までゆっくりと上昇する。

【0037】そして、スイッチSW1と抵抗R2の間でV4ノードは、V2ノード及びV3ノードと共にゆっくりと立ち上がる。その結果、パワーアンプ10の出力であるV1ノードは、V2ノード及びV4ノードと共にゆっくりと立ち上がる。これによって、パワーアンプ出力のクリック雑音を低減することができる。

【0038】その後、一度パワーアンプ10を立ち上げた後、APD1信号を“L”レベルにしてパワーアンプ10をパワーダウンした時には（時刻  $t_2$ ）、スイッチSW5をオンさせることで、V1ノードを基準電位  $V_{ef}$  に固定できる。したがって、パワーアンプ10をオン/オフしてもV1ノードが変動しないので、この時もクリック雑音が発生しない。さらに、パワーアンプ10を使用しない時には、パワーダウンさせておけば消費電力も少なくできる。

【0039】パワーアンプ10の出力ノードV1を立ち下げるには、スイッチPSWをオフし、APD1信号及びAPD2信号を“L”レベルにし、さらにスイッチSW3をオフし、スイッチSW5のオフ状態を保持し、スイッチSW2とスイッチSW4をオンする。これによってV2ノードは、キャパシタC2と抵抗R3の時定数で

10

20

30

40

50

立ち下がり、V4ノードはV2ノードと共にゆっくりと立ち下がり、V1ノードはスイッチSW4のオン抵抗とキャパシタC1の時定数によってゆっくりと立ち下げることができる。

【0040】このように、パワーアンプの前段に入力アンプがあるような構成においても、上記第1実施形態と同等の効果を達成することができる。

【0041】[第3実施形態]図5は、本発明の第3実施形態に係るパワーアンプ立ち上げ回路装置を示す回路図である。

【0042】本実施形態のパワーアンプ立ち上げ回路装置は、図1の回路において、アナログ基準電圧発生回路14とスイッチSW5との間に抵抗41を接続し、さらに、パワーアンプ10のV1ノードとスイッチSW4との間に抵抗42を接続したものである。

【0043】抵抗41は、スイッチSW5がオンオフしたときに発生したノイズがノードV5にまわり込むのを回避するように働き、抵抗42は、パワーアンプ10の出力ノードV1の立ち下がり時間をコントロールし、緩やかに立ち下げることができる。

【0044】

【発明の効果】以上詳細に説明したように、請求項1及び請求項2のパワーアンプ立ち上げ回路装置及び請求項7のパワーアンプ立ち上げ回路装置の制御方法によれば、パワーアンプ出力を滑らかに立ち上げることができるので、グリッチ雑音を低減することができる。さらに従来回路で必要であったアンプを省略できるので低電力化や小面積化を実現することができる。また、パワーアンプの正入力ノードはキャパシタンス及び第1の抵抗によって低雑音の電位を入力できるのでフロア雑音も低減

【0045】請求項3のパワーアンプ立ち上げ回路装置及び請求項8のパワーアンプ立ち上げ回路装置の制御方法によれば、パワーアンプの立ち上げ後のパワーダウン時に、第5のスイッチをオンすることによって出力電位を所定の電位に固定することができるので、グリッチ雑音も発生せずに低電力化することができる。

【0046】請求項4のパワーアンプ立ち上げ回路装置によれば、入力アンプの立ち上がりを滑らかにすることができると共に、入力アンプのフロア雑音を低減することができる。

【0047】請求項5記載の発明に係るパワーアンプ立ち上げ回路装置では、第5のスイッチがオンしたときにノイズが発生するのを回避することができる。

【0048】請求項6記載の発明に係るパワーアンプ立ち上げ回路装置では、パワーアンプの出力ノードの電位を迅速に立ち下げることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るパワーアンプ立ち上げ回路装置を示す回路図である。

【図2】第1実施形態の動作を示すタイミングチャートである。

【図3】本発明の第2実施形態に係るパワーアンプ立ち上げ回路装置を示す回路図である。

【図4】第2実施形態の動作を示すタイミングチャートである。

【図5】本発明の第3実施形態に係るパワーアンプ立ち上げ回路装置を示す回路図である。

【図6】従来のパワーアンプ立ち上げ回路装置の回路図である。

【符号の説明】

10 パワーアンプ

14 アナログ基準電位発生回路

PSW 全体パワースイッチ

SW1 第1のスイッチ

SW2 第2のスイッチ

SW3 第3のスイッチ

SW4 第4のスイッチ

SW5 第5のスイッチ

R3 第1の抵抗

41 第2の抵抗

42 第3の抵抗

C2 キャパシタ

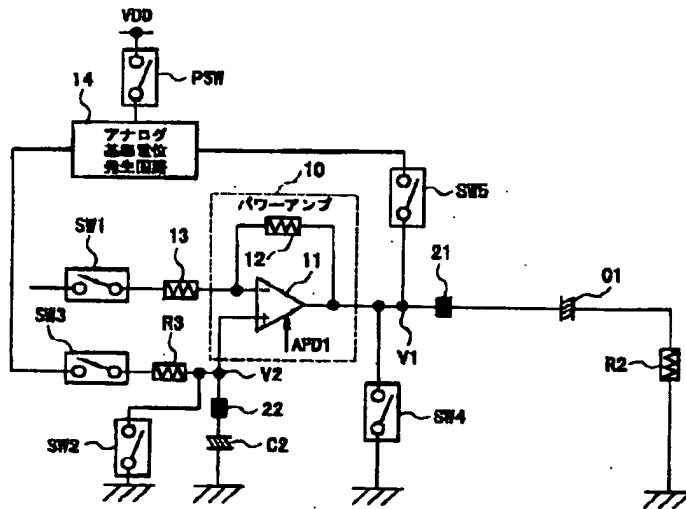
APD1, APD2 制御信号

10

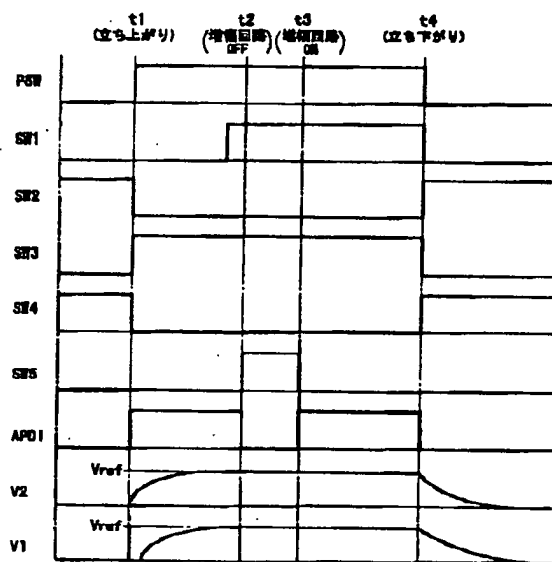
20

30

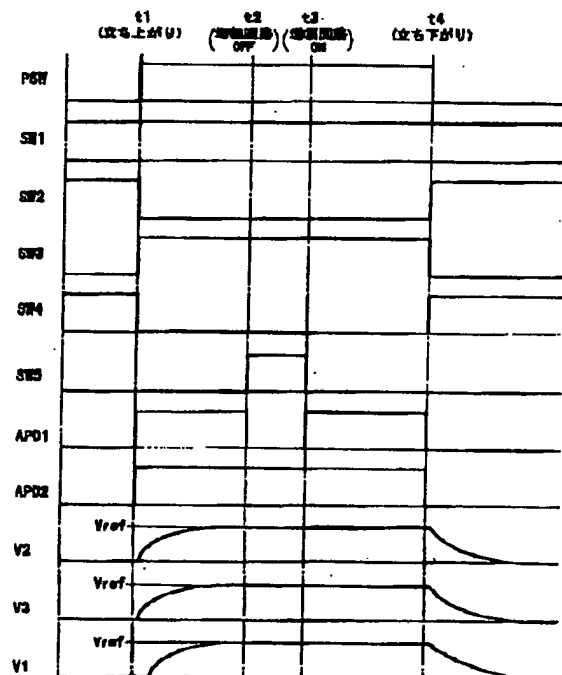
【図1】



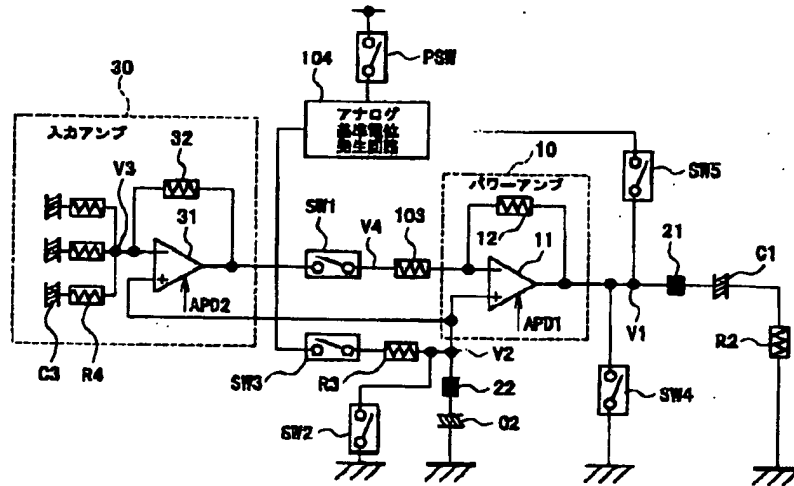
【図2】



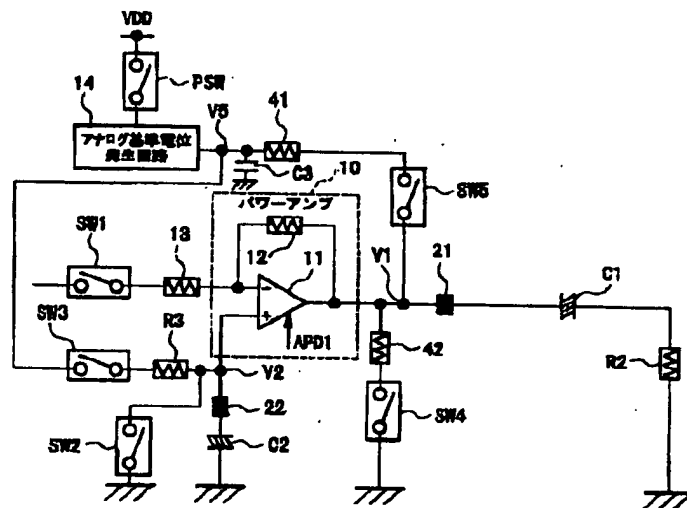
【図4】



【図3】



【図5】





Fターム(参考) 5D020 AA01  
5J092 AA02 AA41 AA47 AA51 CA36  
CA18 CA81 CA92 FA04 FA10  
FA18 FR05 FR10 FR12 FR15  
HA25 HA29 HA40 KA01 KA11  
KA12 KA25 KA47 KA49 MA05  
MA08 MA13 MA21 SA05 TA01  
TA06 VL01 VL02 VL08